

KOREAN PATENT ABSTRACTS

(11)Publication number: 100190112 B1
(43)Date of publication of application: 19.01.1999

(21)Application number: 1019960055055
(22)Date of filing: 18.11.1996

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: LEE, BYEONG TAEK

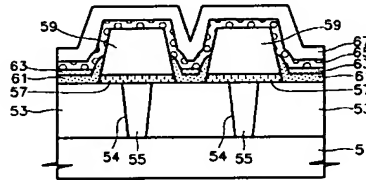
(51)Int. Cl. H01L 27/10

(54) FERROELECTRIC CAPACITOR AND FABRICATION METHOD THEREFOR

(57) Abstract:

PURPOSE: A ferroelectric capacitor and a fabrication method therefor are provided to prevent oxidation of a barrier layer under a storage electrode.

CONSTITUTION: A semiconductor substrate(51) is provided with a transistor. An interlayer dielectric layer(53) is formed on the substrate (51), and a contact hole(54) is formed therein to expose a source region of the transistor. The contact hole(54) is then filled with an electrically conductive material and thus a plug(55) is formed therefrom. A composite of a barrier layer(57) and a storage electrode (59) is formed on the plug(55). A nitride layer(61) is formed between the adjacent composites and extended to a sidewall of the storage electrode(59). An oxide layer(63) is formed in a recessed portion of the nitride layer(61) between the adjacent storage electrodes(59). A dielectric layer(65) having high dielectric constant is formed on the resultant structure to cover the storage electrode(59). A plate electrode(67) is then formed on the dielectric layer(65). Since the nitride layer(61) and the oxide layer(63) prevent oxidation of the barrier layer(57), the barrier layer(57) can keep its primary property in the subsequent heat treatment process.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (19981212)

Patent registration number (1001901120000)

Date of registration (19990119)

[첨부그림 1]

10-0190112

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/10	(45) 공고일자 1999년06월01일 (11) 등록번호 10-0190112 (24) 등록일자 1999년01월19일
(21) 출원번호 10-1996-0055055 (22) 출원일자 1996년11월18일	(65) 공개번호 특1998-0036487 (43) 공개일자 1998년08월05일
(73) 특허권자 (72) 발명자 (74) 대리인	삼성전자주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416번지 이병택 경기도 수원시 권선구 권선동 유원아파트 603-602호 권석훈, 노민석, 이영필

심사관 : 김근모

(54) 강유전체 커패시터 및 그의 제조방법

요약

본 발명은 강유전 커패시터 및 그의 제조 방법에 대해 기재되어 있다.

본 발명에 의한 강유전 커패시터는 트랜지스터가 형성된 반도체 기판; 상기 반도체 기판 상에 형성된 층간 절연층; 상기 층간 절연층중 상기 트랜지스터의 소오스 영역이 노출되도록 패터닝되어 형성된 콘택홀; 상기 콘택 홀 내부가 도전 물질로 메워짐으로써 형성된 플러그(plug); 상기 플러그 상에 형성된 장벽층과 스토리지 전극; 상기 스토리지 전극/장벽층 측벽과 상기 스토리지 전극/장벽층들 사이에 형성된 절화막; 상기 스토리지 전극들 사이에서 리세스된 형태로 형성된 산화막; 고유전 물질을 사용하여 상기 스토리지 전극을 감싸는 형태로 형성된 유전막; 및 상기 유전막 상에 형성된 플레이트 전극을 구비한다.

본 발명에 의한 강유전 커패시터의 제조 방법은, 트랜지스터가 형성된 반도체 기판상에 층간 절연층을 형성하는 제 1 단계; 상기 트랜지스터의 소오스 영역이 노출되도록 상기 층간 절연층을 패터닝하는 제 2 단계; 상기 콘택 홀 내부를 도전 물질로 메움으로써 플러그(plug)를 형성하는 제 3 단계; 상기 플러그가 형성된 반도체 기판 상에 금속층을 차례로 증착한 후 상기 플러그와 연결되는 형태로 패터닝함으로써 스토리지 전극/장벽층을 형성하는 제 4 단계; 상기 반도체 기판 상에 형성된 결과물의 구조를 따라 절화막을 형성하는 제 5 단계; 상기 절화막이 형성된 반도체 기판 전면에 산화막을 형성하는 제 6 단계; 상기 스토리지 전극의 측벽에는 절화막 스페이서를, 상기 스토리지 전극 사이에는 리세스(recess)된 산화막을 형성하는 제 7 단계; 상기 스토리지 전극이 형성된 반도체 기판 상에 강유전 물질과 도전 물질을 차례로 증착하여 플레이트 전극/유전막을 형성하는 제 8 단계로 이루어진다.

즉, 장벽층 측벽에 형성된 스페이서 형태의 절화막과 스토리지 전극 사이에 형성된 산화막/절화막이 상기 장벽층의 산화를 이종으로 방지함으로써, 상기 장벽층은 후속 되는 열처리 공정시 스토리지 전극과 플러그의 구성 물질이 반응하는 것을 막기 위한 본래의 목적 특성을 그대로 유지할 수 있다는 잇점이 있다.

도면도

도1

도2

도3

도 1은 종래 기술에 의한 강유전 커패시터의 일 실시예를 나타낸다.

도 2는 종래 기술에 의한 강유전 커패시터의 다른 실시예를 나타낸다.

도 3은 본 발명에 의한 강유전 커패시터를 나타낸다.

도 4a 내지 도 4f는 본 발명에 의한 강유전 커패시터의 제조 방법을 설명하기 위해 도시한 단면도들이다.

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로, 특히 스토리지 전극 하부에 형성된 장벽층의 산화를 방지하기 위한 강유전 커패시터 및 그의 제조 방법에 관한 것이다.

반도체 제조기술의 발달과 응용분야의 확장에 따라 대용량의 메모리 소자의 개발이 진척되고 있다.

종래의 산화막, 질화막과 같은 저 유전 물질로 형성된 유전막으로는 소자 동작에 필요한 용량을 확보하기가 어려우므로 커패시터 박막의 두께를 줄이는 박막화 방법과 실린더(cylinder), 핀(fin), 반구형 그레인(Hemi Sphere Grain)과 같이 스토리지 전극을 3차원 구조로 형성하는 방법에 대해 연구되고 있다.

그러나 종래의 저 유전 물질로는 1기가 디램(DRAM) 이상의 메모리 소자에서는 스토리지 전극을 3차원 구조로 형성한다 하더라도 소자 동작에 필요한 용량을 확보하기가 어렵다.

따라서 이러한 문제를 해결하기 위해 (BaSr)TiO₃, Pb(Zr,Ti)O₃, SrBi₂Ta₂O₉, SrBi₂TaNbO₉, Bi₄Ti₃O₁₂ 등의 강유전 물질을 사용하여 유전막을 형성하는 방법을 연구하고 있는데, 이러한 유전막의 전극 물질로는 종래의 다결정 실리콘과는 다른 새로운 물질이 요구된다.

이러한 전극 물질로 대표적인 것이 백금(Pt)으로, 이는 실리콘과의 반응성이 크므로 백금 전극과 그 하부의 실리콘막 사이에 백금과 실리콘의 반응을 방지할 수 있는 장벽층이 요구된다.

상기 장벽층으로는 현재 TiN이 많이 사용되는데, 이는 (BaSr)TiO₃ 증착 공정 또는 후속 열처리 공정에서 산소와 결합하여 유전 물질인 TiO₂를 형성하여 스토리지 전극에 전기적인 단락 현상을 야기하는 문제점이 있다.

도 1은 종래 기술에 의한 강유전 커패시터의 일 실시예를 나타낸다.

도면 참조 번호 1은 반도체 기판, 3은 중간 절연층, 4는 콘택 홀, 5는 플러그를, 7은 장벽층(barrier layer)을, 9는 스토리지 전극을, 11은 유전막을, 13은 플레이트 전극을 각각 나타낸다.

그 공정 순서를 살펴보면, 트랜지스터(도시하지 않음)가 형성된 반도체 기판(1)상에 절연 물질을 증착한 후 상기 트랜지스터의 소오스 영역이 노출되도록 패터닝하여 콘택 홀(4) 및 중간 절연층(3)을 형성하는 공정과 상기 콘택 홀(4) 내부를 불순물이 도핑된 다결정 실리콘으로 메우으로써 플러그(plus), 5)를 형성하는 공정을 진행한다.

상기 플러그(5)는 상기 콘택 홀(4)이 형성된 반도체 기판(1) 전면에 불순물이 도핑된 다결정 실리콘을 증착한 후 상기 중간 절연층(3)이 드러날 때까지 에치백(Etch back) 또는 화학기계적 연마(CMP)하여 형성하는데, 그 구성 물질로는 불순물이 도핑된 다결정 실리콘 외에 텅스텐(W), WN 또는 WSi를 사용할 수 있다.

이어서 상기 플러그(5)가 형성된 반도체 기판(1) 상에 TiN과 백금(Pt)을 차례로 증착하여 제 1 물절층(후속 공정에서 장벽층(7)로 패터닝될)과 제 2 물절층(후속 공정에서 스토리지 전극(9)으로 패터닝될)을 형성하는 공정, 사진 식각 방법을 이용하여 상기 제 1/2 물절층이 상기 플러그(5)와 연결되도록 패터닝하여 장벽층(7)과 스토리지 전극(9)을 형성하는 공정, 상기 스토리지 전극(9)이 형성된 반도체 기판(1) 상에 고유전 물질과 백금을 차례로 증착하여 유전막(11)과 플레이트 전극(13)을 형성하는 공정을 차례로 진행한다.

상기 유전막(11)은 (BaSr)TiO₃(이하 BST라 칭함)를 사용하여 산소 분위기에서 스퍼터링(sputtering) 또는 화학기상증착(CVD) 방법으로 형성한다.

상기 장벽층(7)은 상기 유전막(11) 형성과 같은 열처리 공정시 상기 플러그(5)와 상기 스토리지 전극(9)의 구성 물질이 반응하는 것을 방지하는 위해 형성하였다.

그러나 상기 유전막(11) 형성시 상기 장벽층(7)의 측면이 노출된 상태이므로, 상기 장벽층(7)의 측면으로 산소가 확산되어 상기 장벽층(7)의 구성 물질인 TiN이 TiO₂로 산화되는데, 이로 인해 상기 스토리지 전극(9)이 전기적으로 단락되는 현상을 야기한다.

도 2는 종래 기술에 의한 강유전 커패시터의 다른 실시예를 나타낸다.

도면 참조 번호 21은 반도체 기판, 23은 중간 절연층, 24는 콘택 홀, 25는 플러그를, 27은 장벽층(barrier layer)을, 29는 스토리지 전극, 31은 유전막을, 33은 플레이트 전극을 각각 나타낸다.

그 공정 순서를 살펴보면, 반도체 기판(21) 상에 스토리지 전극(29)을 형성하기까지는 상기 도 1의 공정과 동일하게 진행한 후 상기 스토리지 전극(29)의 측벽에 스페이서(31)를 형성하는 공정, 유전막(33)과 플레이트 전극(35)을 형성하는 공정을 차례로 진행한다.

상기 스페이서(31)는 장벽층(27)의 측면으로 산소가 확산되는 것을 방지하기 위한 것으로 SiO₂, SiN 등의 유전물질이나 이리듐(Ir), 루테튬(Ru) 또는 백금(Pt) 등의 금속 물질을 사용하여 형성한다.

그러나 상기 스페이서(31)는 상기 스토리지 전극(29)의 측면 경사로 인해 상기 스토리지 전극(29)의 측벽에 형성되기 어렵고, 만일 형성된 경우라도 그 두께가 얇아서 상기 장벽층(27)의 산화 방지막으로서의 역할을 기대하기가 어렵다.

본 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 스토리지 전극 하부에 형성된 장벽층의 산화를 방지하기 위한 강유전 커패시터를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는, 상기 강유전 커패시터의 제조 방법을 제공하는데 있다.

본 발명의 구성 및 작용

상기 과제를 이루기 위하여 본 발명은, 트랜지스터가 형성된 반도체 기판; 상기 반도체 기판 상에 형성된 중간 절연층; 상기 중간 절연층 상에 트랜지스터의 소오스 영역이 노출되도록 패터닝되어 형성된 콘택 홀; 상기 콘택 홀 내부가 도전 물질로 메워짐으로써 형성된 플러그(plus); 상기 플러그 상에 형성된 장

벽층과 스토리지 전극; 상기 스토리지 전극/장벽층 측벽과 상기 스토리지 전극/장벽층들 사이에 형성된 절화막; 상기 스토리지 전극들 사이에서 리세스된 형태로 형성된 산화막; 고유전 물질을 사용하여 상기 스토리지 전극을 감싸는 형태로 형성된 유전막; 및 상기 유전막 상에 형성된 플레이트 전극을 구비하는 것을 특징으로하는 강유전 커패시터(Ferroelectric Capacitor)를 제공한다.

상기 플러그의 구성 물질은 불순물이 도핑된 다결정 실리콘, 텅스텐(W), WN, WSi중 어느 하나이고, 상기 유전막의 구성 물질은 (BaSr)TiO₃, BST계열, STO계열, Pb(Zr,Ti)O₃의 PZT계열, SrBi₂Ta₂O₉, SrBi₂TaNbO₉, Bi₄Ti₃O₁₂ 등의 BT0, BT계열 중에서 어느 하나이고, 상기 산화막은 SiO₂, USG(Undoped Silicate Glass), SOG(Spin On Glass), 유동성산화막(Flowable Oxide) 중에서 어느 하나인 것이 바람직하다.

상기 장벽층의 구성 물질은 TiN, CoSi, Co, TiSiN, TaSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, RuO₂, IrO₂ 중 어느 하나, 또는 이들의 조합인 것이 바람직하다.

상기 스토리지 전극과 플레이트 전극의 구성 물질은 백금(Pt), Ru, RuO₂, Ir, IrO₂중 어느 하나, 또는 이들의 조합인 것이 바람직하다.

상기 다른 과제를 이루기 위하여 본 발명은, 트랜지스터가 형성된 반도체 기판상에 층간 절연층을 형성하는 제 1 단계; 상기 트랜지스터의 소오스 영역이 노출되도록 상기 층간 절연층을 패터닝하는 제 2 단계; 상기 콘택 홀 내부를 도전 물질로 메움으로써 플러그(plug)를 형성하는 제 3 단계; 상기 플러그가 형성된 반도체 기판 상에 금속층을 차례로 증착한 후 상기 플러그와 연결되는 형태로 패터닝함으로써 스토리지 전극/장벽층을 형성하는 제 4 단계; 상기 반도체 기판 상에 형성된 결과물의 구조를 따라 절화막을 형성하는 제 5 단계; 상기 절화막이 형성된 반도체 기판 전면에 산화막을 형성하는 제 6 단계; 상기 스토리지 전극의 측벽에는 절화막 스페이서를, 상기 스토리지 전극 사이에는 리세스(recess)된 산화막을 형성하는 제 7 단계; 상기 스토리지 전극이 형성된 반도체 기판 상에 강유전 물질과 도전 물질을 차례로 증착하여 플레이트 전극/유전막을 형성하는 제 8 단계를 포함하는 것을 특징으로하는 강유전 커패시터(Ferroelectric Capacitor)의 제조 방법을 제공한다.

상기 제 7 단계는 상기 산화막을 식각하여 상기 스토리지 전극 사이에 리세스된 산화막을 형성하는 단계; 및 상기 절화막을 식각하여 상기 스토리지 전극 측벽에 절화막 스페이서를 형성하는 단계로 이루어지거나, 또는 상기 절화막이 드러날 때까지 상기 산화막을 화학기계적연마(CMP)하는 단계; 및 상기 산화막과 절화막을 식각하여 상기 스토리지 전극의 측벽에는 절화막 스페이서를, 상기 스토리지 전극 사이에는 리세스(recess)된 산화막을 형성하는 단계로 이루어지는 것이 바람직하다.

상기 플러그는 불순물이 도핑된 다결정 실리콘, 텅스텐(W), WN, WSi중 어느 하나를 사용하여 형성하고, 상기 유전막은 (BaSr)TiO₃, BST계열, STO계열, Pb(Zr,Ti)O₃의 PZT계열, SrBi₂Ta₂O₉, SrBi₂TaNbO₉, Bi₄Ti₃O₁₂ 등의 BT0, BT계열 중에서 어느 하나를 사용하여 형성하고, 상기 산화막은 SiO₂, USG(Undoped Silicate Glass), SOG(Spin On Glass), 유동성산화막(Flowable Oxide) 중에서 어느 하나를 사용하여 형성하는 것이 바람직하다.

상기 장벽층은 TiN, CoSi, Co, TiSiN, TaSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, RuO₂, IrO₂ 중 어느 하나, 또는 이들을 조합하여 형성하는 것이 바람직하다.

상기 스토리지 전극과 플레이트 전극은 백금(Pt), Ru, RuO₂, Ir, IrO₂중 어느 하나, 또는 이들을 조합하여 형성하는 것이 바람직하다.

따라서 본 발명에 의한 강유전 커패시터 및 이의 제조 방법은, 즉, 장벽층 측벽에 형성된 스페이서 형태, 및 절화막과 스토리지 전극 사이에 형성된 산화막/절화막이 상기 장벽층의 산화를 이중으로 방지함으로써, 상기 장벽층은 후속 되는 열처리 공정시 스토리지 전극과 플러그의 구성 물질이 반응하는 것을 막기위한 본래의 막질 특성을 그대로 유지할 수 있다는 잇점이 있다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

도 3은 본 발명에 의한 강유전 커패시터를 나타낸다.

도면 참조 번호 51은 반도체 기판을, 53은 층간 절연층을, 54는 콘택 홀을, 55는 플러그를, 57은 장벽층(barrier layer)을, 59는 스토리지 전극을, 61은 절화막을, 63은 산화막을, 65는 유전막을, 67은 플레이트 전극을 각각 나타낸다.

그 구조를 살펴보면, 트랜지스터(도시하지 않음)가 형성된 반도체 기판(51)상에 형성된 층간 절연층(53), 상기 층간 절연층(53)중 상기 트랜지스터의 소오스 영역이 노출되도록 패터닝되어 형성된 콘택홀(54), 상기 콘택 홀(54) 내부가 도전 물질로 메워짐으로써 형성된 플러그(plug, 55), 상기 플러그(55) 상에 형성된 장벽층(57)과 스토리지 전극(59), 상기 스토리지 전극(59)/장벽층(57) 측벽과 상기 스토리지 전극(59)/장벽층(57)들 사이에 형성된 절화막(61), 상기 스토리지 전극(59)들 사이에서 리세스된 형태로 형성된 산화막(63), 고유전 물질을 사용하여 상기 스토리지 전극(59)을 감싸는 형태로 형성된 유전막(65), 상기 유전막(65) 상에 형성된 플레이트 전극(67)을 구비한다.

상기 절화막(61)은 상기 스토리지 전극(59) 측벽에서 스페이서 형태를 한다.

상기 플러그(55)의 구성 물질은 불순물이 도핑된 다결정 실리콘, 텅스텐(W), WN, WSi중 어느 하나이고, 상기 유전막(65)의 구성 물질은 (BaSr)TiO₃, Pb(Zr,Ti)O₃, SrBi₂Ta₂O₉, SrBi₂TaNbO₉, Bi₄Ti₃O₁₂ 등 중에서 어느 하나이고, 상기 산화막(63)은 SiO₂, USG(Undoped Silicate Glass), SOG(Spin On Glass), 유동성 산화막(Flowable Oxide) 중에서 어느 하나이다.

상기 스토리지 전극(59)과 플레이트 전극(67)의 구성 물질은 백금(Pt), Ru, RuO₂, Ir, IrO₂중 어느 하나, 또는 이들의 조합이다.

상기 장벽층(57)은 상기 플러그(55)의 구성 물질이 상기 스토리지 전극(59)과 반응하는 것을 막는 역할을 하고 TiN, CoSi, Co, TiSiN, TaSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, RuO₂, IrO₂ 중 어느 하나, 또는 이들

의 조합으로 구성된다.

상기 질화막(81)과 산화막(83)은 상기 장벽층(57)과 상기 유전막(65)을 격리시켜 상기 유전막(65)형성시 산소가 상기 장벽층(57)으로 확산하는 것을 방지하는 확산 방지막 역할을 수행한다.

즉, 상기 장벽층(57)이 산화되지 않아 상기 스토리지 전극(59)이 전기적으로 단락되는 현상이 나타나지 않는다.

도 4a 내지 도 4f는 본 발명에 의한 강유전 캐패시터의 제조 방법을 설명하기 위해 도시한 단면도들이다.

도면 참조 번호 71은 반도체 기판들, 73은 중간 절연층들, 74는 콘택 홀들, 75는 플러그들, 77은 장벽층(barrier layer)들, 79는 스토리지 전극들, 81은 질화막들, 83은 산화막들, 85는 유전막들, 97은 플레이트 전극들 각각 나타낸다.

도 4a를 참조하면, 트랜지스터(도시하지 않음)가 형성된 반도체 기판(71)상에 절연 물질을 증착한 후 상기 트랜지스터의 소스 영역이 노출되도록 패터닝하여 콘택 홀(74) 및 중간 절연층(73)을 형성하는 공정, 상기 콘택 홀(74) 내부를 불순물이 도핑된 다결정 실리콘으로 메움으로써 플러그(plug, 75)를 형성하는 공정, 상기 플러그(75)가 형성된 반도체 기판(71) 상에 TiN과 백금(Pt)을 차례로 증착하여 제 1 물질층(후속 공정에서 장벽층(77)로 패터닝됨)과 제 2 물질층(후속 공정에서 스토리지 전극(79)으로 패터닝됨)을 형성하는 공정, 사진 식각 방법을 이용하여 상기 제 1/2 물질층이 상기 플러그(75)와 연결되도록 패터닝하여 장벽층(77)과 스토리지 전극(79)을 형성하는 공정을 차례로 진행한다.

상기 플러그(75)는 상기 콘택 홀(74)이 형성된 반도체 기판(71) 전면에 불순물이 도핑된 다결정 실리콘을 증착한 후 상기 절연층(73)이 드러날 때까지 에치백(etch back) 또는 화학기계적 연마(CMP)함으로써 형성되는데, 그 구성 물질로는 불순물이 도핑된 다결정 실리콘 외에 텅스텐(W), Wn 또는 WSi를 사용할 수 있다.

상기 스토리지 전극(79)의 구성 물질은 백금(Pt) 이외에 Ru, RuO₂, Ir, IrO₂의 단일 물질 또는 이들의 조합물을 사용할 수 있다.

상기 장벽층(77)은 이후 후속되는 고온 열처리 공정시 상기 플러그(75)의 구성 물질이 상기 스토리지 전극(79)의 구성 물질과 반응하는 것을 방지하는 역할을 하고, 그 구성 물질로는 TiN 외에 CoSi, Co, TaSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, RuO₂, IrO₂의 단일 물질 또는 이들의 조합물을 사용할 수 있다.

도 4b를 참조하면, 상기 스토리지 전극(79)이 형성된 반도체 기판(71) 상에 질화막(81)을 형성한다.

상기 질화막(81)은 SiN을 사용하여 저압 화학기상 증착(Low Pressure CVD), 상압 화학기상 증착(Atmosphere Pressure CVD) 또는 플라즈마 화학기상 증착(Plasma-Enhanced CVD) 방법으로 형성한다.

도 4c를 참조하면, 상기 질화막(81)이 형성된 반도체 기판(71) 전면에 산화막(83)을 형성한다.

상기 산화막(83)은 단차 도포성(step coverage)이 좋은 물질, 예컨대 SiO₂를 사용하여 형성하는데, 이외에 USG(Unclumped Silicate Glass), SOG(Spin On Glass) 또는 유동성산화막(Flowable Oxide)을 사용하여 형성할 수 있다.

도 4d를 참조하면, 상기 스토리지 전극(79) 사이에 리세스(recess)된 산화막(83a)을 형성한다.

상기 리세스된 산화막(83a)은 상기 질화막(81)과 상기 산화막(83)과의 식각 선택비를 이용하여 상기 산화막(83)중 상기 스토리지 전극(79) 사이의 소정 부분만 남겨지도록 식각함으로써 형성된다.

도 4e를 참조하면, 상기 질화막(81)을 식각하여 상기 스토리지 전극(79) 측벽에는 스페이서 형태를 한 질화막(81a)을 형성한다.

상기 질화막(81a)과 산화막(83a)은 이후 후속되는 유전막 형성 공정시 산소가 상기 장벽층(57)으로 확산하는 것을 방지하는 확산 방지막 역할을 한다. 상기 도 4d 및 도 4e의 공정은 다른 실시예, 즉 상기 질화막(81)이 드러날 때까지 상기 산화막을 화학기계적연마(CMP)한 후, 산화막과 질화막의 식각 선택비를 이용하여 남아있는 산화막과 질화막(81)을 적당하게 식각함으로써 상기 도 4e의 결과를 얻을 수 있다.

도 4f를 참조하면, 상기 스토리지 전극(79)이 형성된 반도체 기판(71) 상에 강유전 물질 및 도전 물질을 증착하여 유전막(65) 및 플레이트 전극(87)을 형성한다.

상기 유전막(65)은 (BaSr)TiO₃(이하 BST라 칭함)를 사용하여 산소 분위기에서 스퍼터링(sputtering) 또는 화학기상증착(CVD) 방법으로 형성하고, 그 구성 물질로는 BST를 포함하는 BST계열 이외에 STO계열, SrBi₂Ta₂O₉, SrBi₂TaNbO₉, Bi₄Ti₃O₁₂ 등의 BTO, BT계열 Pb(Zr,Ti)O₃의 PZT계열, PLZT계열을 사용하여 형성할 수 있다.

이때 상기 장벽층(77)은 상기 질화막(81a)과 산화막(83a)으로 가려져 산소 분위기에 노출되지 않으므로 산소는 상기 장벽층(77)에 확산되지 않는다.

따라서, 상기 장벽층(77)이 산화되는 현상, 예컨대 상기 장벽층(77)의 구성 물질인 TiN이 산화하여 TiO₂를 형성하는 현상이 나타나지 않으므로 상기 스토리지 전극(79)이 전기적으로 단락되지 않는다.

본 발명은 이에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

발명의 효과

이상, 설명된 바와 같이 본 발명에 의한 강유전 캐패시터 및 그의 제조 방법은, 장벽층 측벽에 형성된 스페이서 형태의 질화막과 스토리지 전극 사이에 형성된 산화막/질화막이 상기 장벽층의 산화를 이중으로 방지함으로써, 상기 장벽층은 후속 되는 열처리 공정시 스토리지 전극과 플러그의 구성 물질이 반응하는

것을 막기위한 본래의 막질 특성을 그대로 유지할 수 있다는 잇점이 있다.

(5) 공구의 범위

청구항 1

트랜지스터가 형성된 반도체 기판;

상기 반도체 기판 상에 형성된 층간 절연층;

상기 층간 절연층중 상기 트랜지스터의 소오스 영역이 노출되도록 패터닝되어 형성된 콘택홀;

상기 콘택 홀 내부가 도전 물질로 메워짐으로써 형성된 플러그(plug);

상기 플러그 상에 형성된 장벽층과 스토리지 전극;

상기 스토리지 전극/장벽층 측벽과 상기 스토리지 전극/장벽층들 사이에 형성된 질화막;

상기 스토리지 전극들 사이에서 리세스된 형태로 형성된 산화막;

고유전 물질을 사용하여 상기 스토리지 전극을 감싸는 형태로 형성된 유전막; 및

상기 유전막 상에 형성된 플레이트 전극을 구비하는 것을 특징으로하는 강유전 커패시터(Ferroelectric Capacitor).

청구항 2

제 1 항에 있어서, 상기 플러그의 구성 물질은 불순물이 도핑된 다결정 실리콘, 텅스텐(W), WN, WSi 중 어느 하나인 것을 특징으로 하는 강유전 커패시터.

청구항 3

제 1 항에 있어서, 상기 장벽층의 구성 물질은 TiN, CoSi, Co, TiSiN, TaSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, RuO₂, IrO₂ 중 어느 하나인 것을 특징으로 하는 강유전 커패시터.

청구항 4

제 3 항에 있어서, 상기 장벽층의 구성 물질은 상기 물질들의 조합인 것을 특징으로 하는 강유전 커패시터.

청구항 5

제 1 항에 있어서, 상기 스토리지 전극과 플레이트 전극의 구성 물질은 백금(Pt), Ru, RuO₂, Ir, IrO₂ 중 어느 하나인 것을 특징으로 하는 강유전 커패시터.

청구항 6

제 5 항에 있어서, 상기 스토리지 전극과 플레이트 전극의 구성 물질은 상기 물질들의 조합인 것을 특징으로 하는 강유전 커패시터.

청구항 7

제 1 항에 있어서, 상기 유전막의 구성 물질은 (BaSr)TiO₃의 BST계열, SrTiO₃의 STO계열, Pb(Zr,Ti)O₃의 PZT계열, SrBi₂Ta₂O₉, SrBi₂Ta₂NbO₉, Bi₄Ti₃O₁₂ 등의 BTO, BT계열 중에서 어느 하나인 것을 특징으로 하는 강유전 커패시터.

청구항 8

제 1 항에 있어서, 상기 산화막은 SiO₂, USG(Undoped Silicate Glass), SOG(Spin On Glass), 유동성산화막(Flowable Oxide) 중에서 어느 하나인 것을 특징으로 하는 강유전 커패시터.

청구항 9

트랜지스터가 형성된 반도체 기판상에 층간 절연층을 형성하는 제 1 단계;

상기 트랜지스터의 소오스 영역이 노출되도록 상기 층간 절연층을 패터닝하는 제 2 단계;

상기 콘택 홀 내부를 도전 물질로 메움으로써 플러그(plug)를 형성하는 제 3 단계;

상기 플러그가 형성된 반도체 기판 상에 금속층을 차례로 증착한 후 상기 플러그와 연결되는 형태로 패터닝함으로써 스토리지 전극/장벽층을 형성하는 제 4 단계;

상기 반도체 기판 상에 형성된 결과물의 구조를 따라 질화막을 형성하는 제 5 단계;

상기 질화막이 형성된 반도체 기판 전면에 산화막을 형성하는 제 6 단계;

상기 스토리지 전극의 측벽에는 질화막 스페이서를, 상기 스토리지 전극 사이에는 리세스(recess)된 산화막을 형성하는 제 7 단계;

상기 스토리지 전극이 형성된 반도체 기판 상에 강유전 물질과 도전 물질을 차례로 증착하여 플레이트 전극/유전막을 형성하는 제 8 단계를 포함하는 것을 특징으로하는 강유전 커패시터(Ferroelectric Capacitor)의 제조 방법.

청구항 10

제 9 항에 있어서, 상기 제 7 단계는

상기 산화막을 식각하여 상기 스토리지 전극 사이에 리세스된 산화막을 형성하는 단계; 및

상기 절화막을 식각하여 상기 스토리지 전극 측벽에 절화막 스페이서를 형성하는 단계로 이루어지는 것을 특징으로 하는 강유전 커패시터의 제조 방법.

청구항 11

제 9 항에 있어서, 상기 제 7 단계는

상기 절화막이 드러날 때까지 상기 산화막을 화학기계적연마(CMP)하는 단계; 및

상기 산화막과 절화막을 식각하여 상기 스토리지 전극의 측벽에는 절화막 스페이서를, 상기 스토리지 전극 사이에는 리세스(recess)된 산화막을 형성하는 단계로 이루어지는 것을 특징으로 하는 강유전 커패시터의 제조 방법.

청구항 12

제 9 항에 있어서, 상기 플러그는 불순물이 도핑된 다결정 실리콘, 텅스텐(W), WN, WSi 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 강유전 커패시터의 제조 방법.

청구항 13

제 9 항에 있어서, 상기 장벽층은 TiN, CoSi, Co, TiSiN, TaSiN, TaSi, TiSi, Ta, TaN, Ir, Ru, RuO₂, IrO₂ 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 강유전 커패시터의 제조 방법.

청구항 14

제 13 항에 있어서, 상기 장벽층은 상기 물질들을 조합하여 형성하는 것을 특징으로 하는 강유전 커패시터의 제조 방법.

청구항 15

제 9 항에 있어서, 상기 스토리지 전극과 플레이트 전극은 백금(Pt), Ru, RuO₂, Ir, IrO₂ 중 어느 하나를 사용하여 형성하는 것을 특징으로 하는 강유전 커패시터의 제조 방법.

청구항 16

제 15 항에 있어서, 상기 스토리지 전극과 플레이트 전극은 상기 물질들을 조합하여 형성하는 것을 특징으로 하는 강유전 커패시터의 제조 방법.

청구항 17

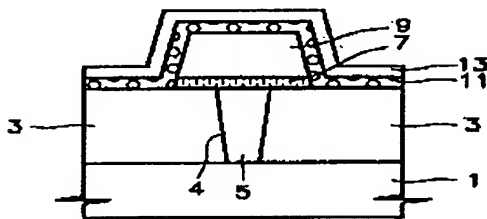
제 9 항에 있어서, 상기 유전막의 구성 물질은 (BaSr)TiO₃의 BST계열, STO계열, Pb(Zr,Ti)O₃의 PZT계열, SrBi₂Ta₂O₉, SrBi₂TaNbO₉, Bi₄Ti₃O₁₂ 등의 BTO, BT계열 중에서 어느 하나인 것을 특징으로 하는 강유전 커패시터의 제조 방법.

청구항 18

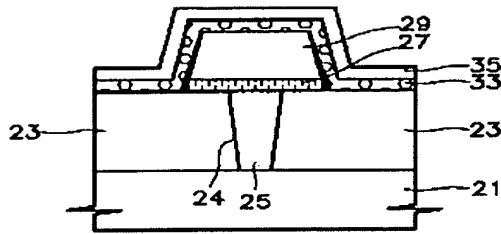
제 9 항에 있어서, 상기 산화막은 SiO₂, USG(Undoped Silicate Glass), SOG(Spin On Glass), 유동성산화막(Flowable Oxide) 중에서 어느 하나인 것을 특징으로 하는 강유전 커패시터의 제조 방법.

도면

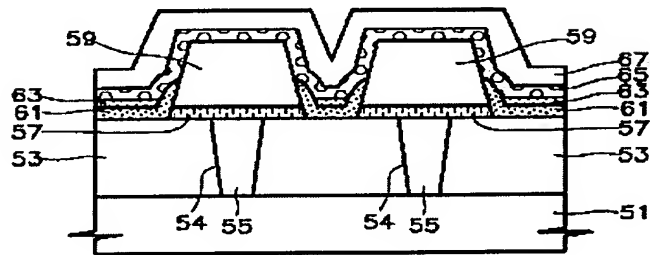
도면1



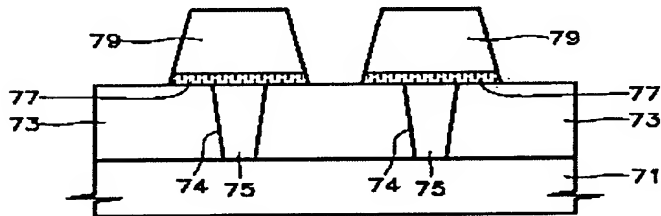
도 12



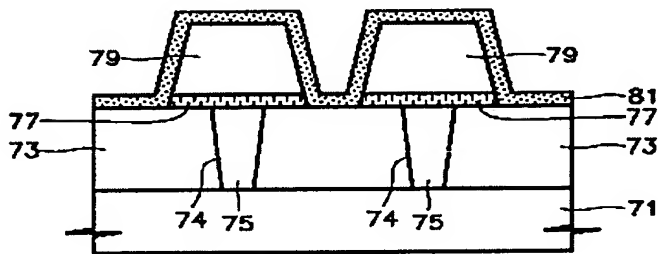
도 13



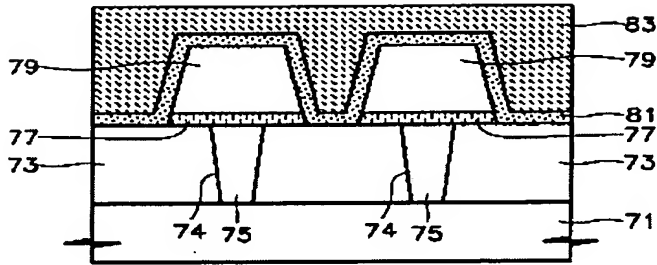
도 14a



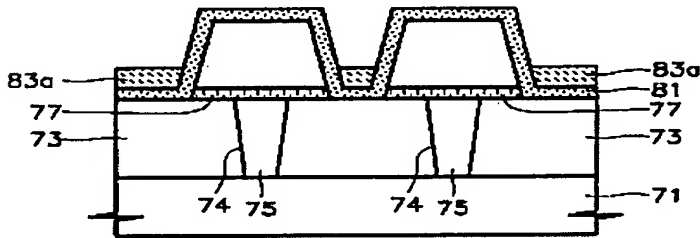
도 14b



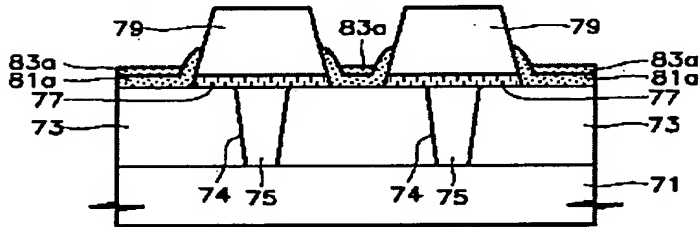
도 194c



도 194d



도 194e



도 194f

